

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Masayoshi KUSUMOTO, et al.

Application No.:

Group Art Unit:

Filed: November 19, 2003

Examiner:

For: MICROCOMPUTER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-378628

Filed: December 26, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: November 19, 2003

By: 

H. J. Staas

Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

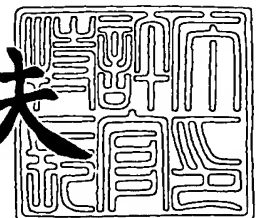
出 願 番 号 特 願 2 0 0 2 - 3 7 8 6 2 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 7 8 6 2 8]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241706

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/46

【発明の名称】 マイクロコンピュータ

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 楠本 正善

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 吉田 哲也

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項 1】 独立して電氣的に消去および書き込みをおこなうことができる 2 以上の記憶領域を有し、かつ第 1 の記憶領域に、割り込み要求に対して実行される複数の割り込みプログラムのそれぞれの格納場所を示す複数の割り込みベクタを格納しているとともに、第 2 の記憶領域に、前記割り込みベクタのそれぞれに対応する複数の代替え割り込みベクタを格納した不揮発性メモリと、

前記不揮発性メモリをアクセス可能な中央処理装置と、

前記第 1 の記憶領域がアクセス不能状態であることを示すフラグと、

前記フラグの状態に基づいて、前記中央処理装置からアクセスされた割り込みベクタの格納場所を示すアドレスを、対応する代替え割り込みベクタの格納場所を示すアドレスに変換する割り込みベクタアドレス変換回路と、

を具備することを特徴とするマイクロコンピュータ。

【請求項 2】 前記割り込みベクタアドレス変換回路は、前記代替え割り込みベクタのそれぞれの格納場所を示すアドレスが設定された複数のレジスタを有し、複数の前記レジスタのうち、前記中央処理装置からアクセスされた割り込みベクタアドレスに対応するレジスタに設定されたアドレスを出力することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 3】 前記割り込みベクタアドレス変換回路は、前記割り込みベクタの格納場所を示すアドレスに対する前記代替え割り込みベクタの格納場所を示すアドレスのオフセット量が設定されたレジスタを有し、前記中央処理装置からアクセスされた割り込みベクタアドレスに、前記レジスタに設定されたオフセット量を加算して出力することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 4】 独立して電氣的に消去および書き込みをおこなうことができる 2 以上の記憶領域を有し、かつ第 1 の記憶領域に、割り込み要求に対して実行される割り込みプログラムの格納場所を示す割り込みベクタを格納しているとともに、第 2 の記憶領域に、前記割り込みベクタに対応する代替え割り込みベクタ

を格納した不揮発性メモリと、

前記不揮発性メモリをアクセス可能な中央処理装置と、

前記第 1 の記憶領域がアクセス不能状態であることを示すフラグと、

前記フラグの状態に基づいて、前記第 1 の記憶領域内の、前記中央処理装置からアクセスされた割り込みベクタを含む領域と、前記第 2 の記憶領域内の、対応する代替え割り込みベクタを含む領域とが入れ替わるように、アドレス変換をおこなう割り込みベクタアドレス変換回路と、

を具備することを特徴とするマイクロコンピュータ。

【請求項 5】 前記割り込みベクタアドレス変換回路は、複数の割り込みベクタのそれぞれを含む複数の領域に対して、個々にアドレス変換をおこなうことを特徴とする請求項 4 に記載のマイクロコンピュータ。

【請求項 6】 前記割り込みベクタアドレス変換回路は、所定の変換動作をおこなうハードウェアで構成されていることを特徴とする請求項 1 ～ 5 のいずれか一つに記載のマイクロコンピュータ。

【請求項 7】 前記割り込みベクタアドレス変換回路は、ソフトウェアによる設定にしたがって所定の変換動作をおこなうことを特徴とする請求項 1 ～ 5 のいずれか一つに記載のマイクロコンピュータ。

【請求項 8】 前記不揮発性メモリ、前記中央処理装置、前記フラグおよび前記割り込みベクタアドレス変換回路は、同一半導体チップ上に設けられていることを特徴とする請求項 1 ～ 7 のいずれか一つに記載のマイクロコンピュータ。

【請求項 9】 前記第 1 の記憶領域に割り込みプログラムが格納されており、前記割り込みベクタは当該割り込みプログラムの先頭アドレスを格納し、また前記第 2 の記憶領域に、前記割り込みプログラムに代わって実行される代替え割り込みプログラムが格納されており、前記代替え割り込みベクタは当該代替え割り込みプログラムの先頭アドレスを格納していることを特徴とする請求項 1 ～ 8 のいずれか一つに記載のマイクロコンピュータ。

【請求項 10】 前記第 2 の記憶領域に割り込みプログラムが格納されており、前記割り込みベクタおよび前記代替え割り込みベクタは当該割り込みプログラムの先頭アドレスを格納していることを特徴とする請求項 1 ～ 8 のいずれか一

つに記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、独立して電氣的に消去および書き込みをおこなうことができる複数の記憶領域を有する不揮発性メモリを内蔵したマイクロコンピュータに関し、特に不揮発性メモリに格納されたメイン・プログラムの書き換え中に割り込み処理を実行する 1 チップ・マイクロコンピュータに関する。

【0002】

フラッシュメモリは、書き換え可能な不揮発性メモリの一種であり、これを内蔵したマイクロコンピュータが普及してきている。このマイクロコンピュータを実装した装置では、その実装した状態のまま、マイクロコンピュータのプログラムを書き換えることができるので、装置の出荷直前に、メーカーがマイクロコンピュータに仕向け先ごとのプログラムを書き込んだり、あるいはメーカーの出荷後に、ユーザがマイクロコンピュータのプログラムやデータを容易にアップデートすることができる。

【0003】

【従来の技術】

一般に、マイクロコンピュータの内蔵フラッシュメモリに、メイン・プログラムとともに割り込みベクタが格納されていると、そのメイン・プログラムの書き換え処理中は、割り込みベクタの読み出しができないため、割り込み処理を実行することができない。その代わりとして、書き換え処理のブート・プログラムでは、ソフトウェア・ポーリングが用いられている。

【0004】

この場合、ハードウェアの状態を示すフラグをループ処理などにより常時読み出す必要があるため、その他の処理をおこなうための時間が短くなり、ソフトウェア開発の難易度が高くなるだけでなく、処理の自由度が著しく制約されるという不都合がある。また、例外事象の割り込みが発生した場合の対処ができないという欠点がある。

【0005】

そこで、書き換え処理中は、プログラムカウンタにセットされる割り込みベクタの値を直接変更することにより、書き換える対象になっていない不揮発性メモリまたは領域をアクセスして、割り込み処理をおこなうようにしたマイクロコンピュータが公知である（特許文献1、特許文献2参照）。このマイクロコンピュータでは、書き換え処理中でも、割り込みベクタの格納アドレスは変更されない。

【0006】

また、メイン・プログラムを格納する不揮発性メモリとは別体のメモリを設け、この別体のメモリに代替えの割り込みベクタを格納し、書き換え処理中にこの代替えの割り込みベクタを使用するようにしたデータ処理装置が公知である（特許文献3参照）。このデータ処理装置では、不揮発性メモリの書き換えプログラムは、不揮発性メモリ以外のメモリに格納される。

【0007】

これら特許文献1～3に開示された構成によれば、割り込みの受け付けが可能となる。したがって、ハードウェアの状態が変化したときに初めてこれに対処すればよいので、ソフトウェアの機能を大幅に改善することができる。また、例外的割り込みにも対処することができるので、誤動作を防ぐことができる。

【0008】

しかし、特許文献1または特許文献2に開示された構成では、割り込み処理開始アドレスが固定されているため、プログラム容量等に応じて適宜変更することができない。また、特許文献3に開示された構成では、別体のメモリが必要であるため、装置が複雑化し、コスト増を招くという欠点がある。

【0009】

ところで、独立して電氣的に消去および書き込みをおこなうことができる二つ記憶領域を有するフラッシュメモリ（以下、デュアル・オペレーション・フラッシュメモリとする）、およびこれを内蔵したマイクロプロセッサ装置が公知である（特許文献4参照）。通常、内蔵された中央処理装置により、デュアル・オペレーション・フラッシュメモリに格納されているメイン・プログラムを書き換え

る場合には、このフラッシュメモリの、メイン・プログラムを記憶していない側の記憶領域（以下、このフラッシュメモリの記憶領域をバンクと呼ぶ）に格納された書き換えプログラムが実行される。

【0010】

【特許文献1】

特開平9-97176号公報

【特許文献2】

特開平9-282181号公報

【特許文献3】

特開平8-278895号公報

【特許文献4】

特開平6-180999号公報

【0011】

【発明が解決しようとする課題】

しかしながら、特許文献4に開示された構成のようにデュアル・オペレーション・フラッシュメモリを内蔵していても、書き換え処理中は、メイン・プログラムと同じバンクに格納されている割り込みベクタを読み出すことができない。そのため、割り込み処理をおこなうことができないという問題点がある。

【0012】

本発明は、上記問題点に鑑みてなされたものであって、独立して電氣的に消去および書き込みをおこなうことができる複数の記憶領域を有する不揮発性メモリを内蔵し、そのメモリの割り込みベクタを格納した記憶領域を書き換えている最中に、割り込み処理をおこなうことが可能なマイクロコンピュータを提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかるマイクロコンピュータは、独立して電氣的に消去および書き込みをおこなうことができる2以上の記憶領域（バンク）に分割された不揮発性メモリ（デュアル・オペレーション・フラッシュメモリ

）を内蔵し、その第 1 の記憶領域（バンク B）に割り込みベクタを格納するとともに、第 2 の記憶領域（バンク A）に、前記割り込みベクタに対応する代替え割り込みベクタを格納する。そして、書き換え処理、消去処理または書き込み処理の実行により、第 1 の記憶領域（バンク B）にアクセスできない状態のときに、中央処理装置から割り込みベクタにアクセスがあると、割り込みベクタアドレス変換回路が割り込みベクタのアドレスを代替え割り込みベクタのアドレスに変換してメモリへアクセスする。

【 0 0 1 4 】

この発明によれば、割り込みベクタを格納した領域にアクセスできない状態でも、割り込みベクタアドレス変換回路のアドレス変換により、アクセス可能な領域に格納された代替え割り込みベクタから割り込みベクタ・データが読み出される。

【 0 0 1 5 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図 1 は、本発明にかかるマイクロコンピュータの要部の一例を示すブロック図である。図 1 に示すように、マイクロコンピュータは、中央処理装置（以下、CPU とする）1、不揮発性メモリ 2、書き換えフラグ 3 および割り込みベクタアドレス変換回路 4 を備えている。これらは、同一半導体チップ上に形成されている。

【 0 0 1 6 】

CPU 1 は、割り込み要求を受け付けると、対応する割り込みベクタアドレスを発生する。不揮発性メモリ 2 は、デュアル・オペレーション・フラッシュメモリにより構成されている。このデュアル・オペレーション・フラッシュメモリは、特に限定しないが、たとえば第 1 の記憶領域であるバンク B と第 2 の記憶領域であるバンク A に分割されている。バンク B およびバンク A は、独立して電氣的に消去および書き込みをおこなうことができる構成となっている。

【 0 0 1 7 】

たとえば、バンク B には、割り込みベクタ 2 1、割り込みプログラム 2 2 およびメイン・プログラム 2 3 が格納されている。一方、バンク A には、割り込みベ

クタ 21 に対応する代替え割り込みベクタ 24、書き換えプログラム 25、および割り込みプログラム 22 に対応する代替え割り込みプログラム 26 が格納されている。

【0018】

書き換えフラグ 3 は、たとえばバンク B の一部または全部に対して書き換え処理、消去処理または書き込み処理が実行されているためにバンク B にアクセスできない状態であることを示すフラグである。書き換えフラグ 3 は、書き換え処理、消去処理または書き込み処理の開始時に、CPU 1 により設定される。

【0019】

割り込みベクタアドレス変換回路 4 は、書き換えフラグ 3 が設定されているとき、すなわちバンク B にアクセスできない状態のときに、CPU 1 から割り込みベクタ 21 にアクセスがあった場合に、割り込みベクタ 21 にアクセスする代わりに、代替え割り込みベクタ 24 をアクセスするように、アドレス変換をおこなう。割り込みベクタアドレス変換回路 4 は、書き換えフラグ 3 が設定されていないとき、すなわちバンク B にアクセスできる状態のときには、アドレス変換をおこなわない。

【0020】

図 1 に示すメモリ構成では、割り込みベクタ 21 は、対応する割り込みプログラム 22 の先頭アドレスを示す。また、代替え割り込みベクタ 24 は、対応する代替え割り込みプログラム 26 の先頭アドレスを示す。したがって、バンク B にアクセスできない状態のときには、バンク B に格納されている割り込みプログラム 22 にもアクセスできないが、本実施の形態では、代替え割り込みベクタ 24 にアクセスして代替え割り込みプログラム 26 を読み出すことにより、割り込み処理の実行が可能となる。

【0021】

つぎに、不揮発性メモリ 2 内でのプログラム構成の他の例について説明する。たとえば図 2 に示すように、バンク B に、割り込みベクタ 21 およびメイン・プログラム 23 が格納されており、バンク A に、代替え割り込みベクタ 24、書き換えプログラム 25 および割り込みプログラム 22 が格納されていてもよい。こ

の場合には、割り込みベクタ 2 1 および代替え割り込みベクタ 2 4 は、ともに割り込みプログラム 2 2 の先頭アドレスを示す。

【0022】

また、たとえば図 3 に示すように、バンク B に割り込みベクタ 2 1 が格納されており、バンク A に、代替え割り込みベクタ 2 4、メイン・プログラム 2 3、書き換えプログラム 2 5 および割り込みプログラム 2 2 が格納されていてもよい。この場合も、割り込みベクタ 2 1 および代替え割り込みベクタ 2 4 は、ともに割り込みプログラム 2 2 の先頭アドレスを示す。

【0023】

また、たとえば図 4 に示すように、バンク B に、割り込みベクタ 2 1 および割り込みプログラム 2 2 が格納されており、バンク A に、代替え割り込みベクタ 2 4、メイン・プログラム 2 3、書き換えプログラム 2 5 および代替え割り込みプログラム 2 6 が格納されていてもよい。この場合には、割り込みベクタ 2 1 および代替え割り込みベクタ 2 4 は、それぞれ割り込みプログラム 2 2 の先頭アドレスおよび代替え割り込みプログラム 2 6 の先頭アドレスを示す。

【0024】

また、たとえば図 5 に示すように、バンク B に割り込みベクタ 2 1 が格納されており、バンク A に代替え割り込みベクタ 2 4 が格納されていてもよい。この場合、割り込みプログラム 2 2、メイン・プログラム 2 3 および書き換えプログラム 2 5 は、不揮発性メモリ 2 以外のメモリ（図示せず）に格納されていてもよい。図 6 に示す例では、メイン・プログラム 2 3 は、不揮発性メモリ 2 とは別の第 2 の不揮発性メモリ 5 に格納されている。

【0025】

また、不揮発性メモリ 2 がさらに別のバンクを有する場合には、そのバンクに割り込みプログラム 2 2、メイン・プログラム 2 3 および書き換えプログラム 2 5 のうちの 1 以上が格納されていてもよい。割り込みプログラム 2 2 の格納領域がバンク B 以外である場合には、割り込みベクタ 2 1 および代替え割り込みベクタ 2 4 は、ともに割り込みプログラム 2 2 の先頭アドレスを示す。

【0026】

つぎに、割り込みベクタアドレス変換回路 4 の構成およびアドレス変換動作について説明する。図 7 は、割り込みベクタアドレス変換回路 4 の構成およびアドレス変換動作の第 1 の例を概念的に示す図である。図 7 に示す例は、割り込みベクタアドレス変換回路 4 内に設定レジスタ（図示省略）が設けられており、この設定レジスタの値がたとえば“1”のときに、アドレス変換動作により、バンク B の領域 E（割り込みベクタが格納されている）とバンク A の領域 H を入れ替えるものである。領域 H には、代替え割り込みベクタが格納されている。

【0027】

設定レジスタの値がたとえば“0”のときには、割り込みベクタアドレス変換回路 4 はアドレス変換動作をおこなわない。設定レジスタの値は、たとえば上述した書き込みフラグに基づいて変わる。なお、設定レジスタを設けずに、書き込みフラグをそのまま利用してもよい。

【0028】

図 8 は、割り込みベクタアドレス変換回路 4 の構成およびアドレス変換動作の第 2 の例を概念的に示す図である。図 8 に示す例では、割り込みベクタアドレス変換回路 4 内に、複数の割り込みのそれぞれに対応して、第 1 のアドレス設定レジスタ 4 1、第 2 のアドレス設定レジスタ 4 2、第 3 のアドレス設定レジスタ 4 3、第 4 のアドレス設定レジスタ 4 4、第 5 のアドレス設定レジスタ 4 5、・・・が設けられている。

【0029】

各アドレス設定レジスタ 4 1、4 2、・・・には、各割り込みベクタアドレスの変換先のアドレス、すなわちそれぞれの割り込みベクタに対応する代替え割り込みベクタのアドレスが格納されている。そして上述したように、書き換え中などにより割り込みベクタにアクセスできないときには、割り込みベクタアドレス変換回路 4 は、対応するアドレス設定レジスタに格納されているアドレスを出力する。

【0030】

図 9 は、割り込みベクタアドレス変換回路 4 の構成およびアドレス変換動作の第 3 の例を概念的に示す図である。図 9 に示す例では、割り込みベクタアドレス

変換回路 4 内に、オフセット・レジスタ 46 および割り込みアドレス変換設定レジスタ 47 が設けられている。オフセット・レジスタ 46 には、割り込みベクタアドレスに対する代替え割り込みベクタアドレスの差分、すなわちオフセット量が設定されている。割り込みアドレス変換設定レジスタ 47 は、たとえば上述した書き込みフラグに基づいて設定される。

【0031】

たとえば、割り込みベクタにアクセスできないときには、割り込みアドレス変換設定レジスタ 47 の値は“1”となる。そのときに、CPU から割り込みベクタにアクセスがあると、割り込みベクタアドレス変換回路 4 は、割り込みベクタアドレスにオフセット量を加算して出力する。割り込みアドレス変換設定レジスタ 47 の値がたとえば“0”のときには、割り込みベクタアドレス変換回路 4 は、CPU からアクセスのあった割り込みベクタアドレスをそのまま出力する。なお、割り込みアドレス変換設定レジスタ 47 を設けずに、書き込みフラグをそのまま利用してもよい。

【0032】

図 10 は、割り込みベクタアドレス変換回路 4 の構成およびアドレス変換動作の第 4 の例を概念的に示す図である。図 10 に示す例では、割り込みベクタアドレス変換回路 4 内に、変換レンジアドレス設定レジスタ上位 48、変換レンジアドレス設定レジスタ下位 49、変換先レンジアドレス設定レジスタ上位 50、変換先レンジアドレス設定レジスタ下位 51 が設けられている。

【0033】

変換レンジアドレス設定レジスタ上位 48 および変換レンジアドレス設定レジスタ下位 49 には、それぞれ変換対象となるアドレス範囲の先頭および末尾の値が設定される。変換先レンジアドレス設定レジスタ上位 50 および変換先レンジアドレス設定レジスタ下位 51 には、それぞれ変換先のアドレス範囲の先頭および末尾の値が設定される。

【0034】

CPU から、変換レンジアドレス設定レジスタ上位 48 の設定値および変換レンジアドレス設定レジスタ下位 49 の設定値により決まる範囲のアドレスにアク

セスがあった場合、割り込みベクタアドレス変換回路 4 は、変換先レンジアドレス設定レジスタ上位 50 および変換先レンジアドレス設定レジスタ下位 51 に設定されたアドレス範囲に変換して、不揮発性メモリ 2 にアクセスする。また、割り込みベクタアドレス変換回路 4 には、書き込みフラグの状態に基づくアドレス変換設定信号が供給されている。割り込みベクタアドレス変換回路 4 は、アドレス変換設定信号がたとえば“1”のときに上述したアドレス変換動作をおこない、“0”のときには CPU アクセスをそのまま不揮発性メモリ 2 に供給する。

【0035】

上述した実施の形態によれば、割り込みベクタ 21 を格納した領域の書き換え処理等の実行により割り込みベクタ 21 にアクセスできない状態でも、割り込みベクタアドレス変換回路 4 のアドレス変換により、アクセス可能な領域に格納された代替え割り込みベクタ 24 から割り込みベクタ・データを読み出すことができる。したがって、たとえばメイン・プログラム等の書き換え処理中でも、割り込み処理をおこなうことができる。

【0036】

また、実施の形態によれば、割り込みプログラム 22 の先頭アドレスが、不揮発性メモリ 2 に格納された割り込みベクタ 21 により示され、また代替え割り込みプログラム 26 がある場合には、その代替え割り込みプログラム 26 の先頭アドレスが、不揮発性メモリ 2 に格納された代替え割り込みベクタ 24 により示される。したがって、プログラム開発者は、割り込みプログラム 22 および代替え割り込みプログラム 26 の各先頭アドレスを、必要に応じて任意に設定することができる。

【0037】

また、実施の形態によれば、同一の不揮発性メモリ 2 に、割り込みベクタ 21、割り込みプログラム 22、メイン・プログラム 23、代替え割り込みベクタ 24、書き換えプログラム 25、および代替え割り込みプログラム 26 がある場合には、その代替え割り込みプログラム 26 を格納することができる。したがって、メイン・プログラムを格納している不揮発性メモリ 2 とは別に、代替え割り込みベクタ 24 や書き換えプログラム 25 や代替え割り込みプログラム 26 を格納

するためのメモリを設けずに済む。

【0038】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、不揮発性メモリ2は、独立して電氣的に消去および書き込みをおこなうことができる2、または3以上の記憶領域に分割された構成であれば、デュアル・オペレーション・フラッシュメモリに限らない。また、不揮発性メモリ2は、1バイトごとに、独立して電氣的に消去および書き込みをおこなうことができる記憶領域として分割されていてもよい。

【0039】

また、上述した割り込みベクタアドレス変換回路4は、所定の変換動作をおこなうハードウェアで構成されていてもよく、また、ソフトウェアによる設定にしたがって所定の変換動作をおこなうことで、その構成を実現するようにしてもよい。

【0040】

(付記1) 独立して電氣的に消去および書き込みをおこなうことができる2以上の記憶領域を有し、かつ第1の記憶領域に、割り込み要求に対して実行される複数の割り込みプログラムのそれぞれの格納場所を示す複数の割り込みベクタを格納しているとともに、第2の記憶領域に、前記割り込みベクタのそれぞれに対応する複数の代替え割り込みベクタを格納した不揮発性メモリと、

前記不揮発性メモリをアクセス可能な中央処理装置と、

前記第1の記憶領域がアクセス不能状態であることを示すフラグと、

前記フラグの状態に基づいて、前記中央処理装置からアクセスされた割り込みベクタの格納場所を示すアドレスを、対応する代替え割り込みベクタの格納場所を示すアドレスに変換する割り込みベクタアドレス変換回路と、

を具備することを特徴とするマイクロコンピュータ。

【0041】

(付記2) 前記割り込みベクタアドレス変換回路は、前記代替え割り込みベクタのそれぞれの格納場所を示すアドレスが設定された複数のレジスタを有し、複数の前記レジスタのうち、前記中央処理装置からアクセスされた割り込みベクタア

ドレスに対応するレジスタに設定されたアドレスを出力することを特徴とする付記 1 に記載のマイクロコンピュータ。

【 0 0 4 2 】

(付記 3) 前記割り込みベクタアドレス変換回路は、前記割り込みベクタの格納場所を示すアドレスに対する前記代替え割り込みベクタの格納場所を示すアドレスのオフセット量が設定されたレジスタを有し、前記中央処理装置からアクセスされた割り込みベクタアドレスに、前記レジスタに設定されたオフセット量を加算して出力することを特徴とする付記 1 に記載のマイクロコンピュータ。

【 0 0 4 3 】

(付記 4) 独立して電氣的に消去および書き込みをおこなうことができる 2 以上の記憶領域を有し、かつ第 1 の記憶領域に、割り込み要求に対して実行される割り込みプログラムの格納場所を示す割り込みベクタを格納しているとともに、第 2 の記憶領域に、前記割り込みベクタに対応する代替え割り込みベクタを格納した不揮発性メモリと、

前記不揮発性メモリをアクセス可能な中央処理装置と、

前記第 1 の記憶領域がアクセス不能状態であることを示すフラグと、

前記フラグの状態に基づいて、前記第 1 の記憶領域内の、前記中央処理装置からアクセスされた割り込みベクタを含む領域と、前記第 2 の記憶領域内の、対応する代替え割り込みベクタを含む領域とが入れ替わるように、アドレス変換をおこなう割り込みベクタアドレス変換回路と、

を具備することを特徴とするマイクロコンピュータ。

【 0 0 4 4 】

(付記 5) 前記割り込みベクタアドレス変換回路は、複数の割り込みベクタのそれぞれを含む複数の領域に対して、個々にアドレス変換をおこなうことを特徴とする付記 4 に記載のマイクロコンピュータ。

【 0 0 4 5 】

(付記 6) 前記割り込みベクタアドレス変換回路は、所定の変換動作をおこなうハードウェアで構成されていることを特徴とする付記 1 ～ 5 のいずれか一つに記載のマイクロコンピュータ。

【0046】

(付記7) 前記割り込みベクタアドレス変換回路は、ソフトウェアによる設定にしたがって所定の変換動作をおこなうことを特徴とする付記1～5のいずれか一つに記載のマイクロコンピュータ。

【0047】

(付記8) 前記不揮発性メモリ、前記中央処理装置、前記フラグおよび前記割り込みベクタアドレス変換回路は、同一半導体チップ上に設けられていることを特徴とする付記1～7のいずれか一つに記載のマイクロコンピュータ。

【0048】

(付記9) 前記第1の記憶領域に割り込みプログラムが格納されており、前記割り込みベクタは当該割り込みプログラムの先頭アドレスを格納し、また前記第2の記憶領域に、前記割り込みプログラムに代わって実行される代替え割り込みプログラムが格納されており、前記代替え割り込みベクタは当該代替え割り込みプログラムの先頭アドレスを格納していることを特徴とする付記1～8のいずれか一つに記載のマイクロコンピュータ。

【0049】

(付記10) 前記第2の記憶領域に割り込みプログラムが格納されており、前記割り込みベクタおよび前記代替え割り込みベクタは当該割り込みプログラムの先頭アドレスを格納していることを特徴とする付記1～8のいずれか一つに記載のマイクロコンピュータ。

【0050】

(付記11) 前記第1の記憶領域にメイン・プログラムが格納されていることを特徴とする付記9または10に記載のマイクロコンピュータ。

【0051】

(付記12) 前記第2の記憶領域にメイン・プログラムが格納されていることを特徴とする付記9または10に記載のマイクロコンピュータ。

【0052】

(付記13) 前記不揮発性メモリ以外のメモリにメイン・プログラムが格納されていることを特徴とする付記9または10に記載のマイクロコンピュータ。

【0053】**【発明の効果】**

本発明によれば、割り込みベクタを格納した領域にアクセスできない状態でも、割り込みベクタアドレス変換回路のアドレス変換により、アクセス可能な領域に格納された代替え割り込みベクタから割り込みベクタ・データを読み出すことができるので、不揮発性メモリの書き換え動作中でも、割り込み処理をおこなうことができる。

【図面の簡単な説明】**【図1】**

本発明にかかるマイクロコンピュータの要部の一例を示すブロック図である。

【図2】

本発明にかかるマイクロコンピュータにおける不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図である。

【図3】

本発明にかかるマイクロコンピュータにおける不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図である。

【図4】

本発明にかかるマイクロコンピュータにおける不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図である。

【図5】

本発明にかかるマイクロコンピュータにおける不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図である。

【図6】

本発明にかかるマイクロコンピュータにおける不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図である。

【図7】

本発明にかかるマイクロコンピュータの割り込みベクタアドレス変換回路の一例について説明する図である。

【図8】

本発明にかかるマイクロコンピュータの割り込みベクタアドレス変換回路の他の例について説明する図である。

【図 9】

本発明にかかるマイクロコンピュータの割り込みベクタアドレス変換回路の他の例について説明する図である。

【図 10】

本発明にかかるマイクロコンピュータの割り込みベクタアドレス変換回路の他の例について説明する図である。

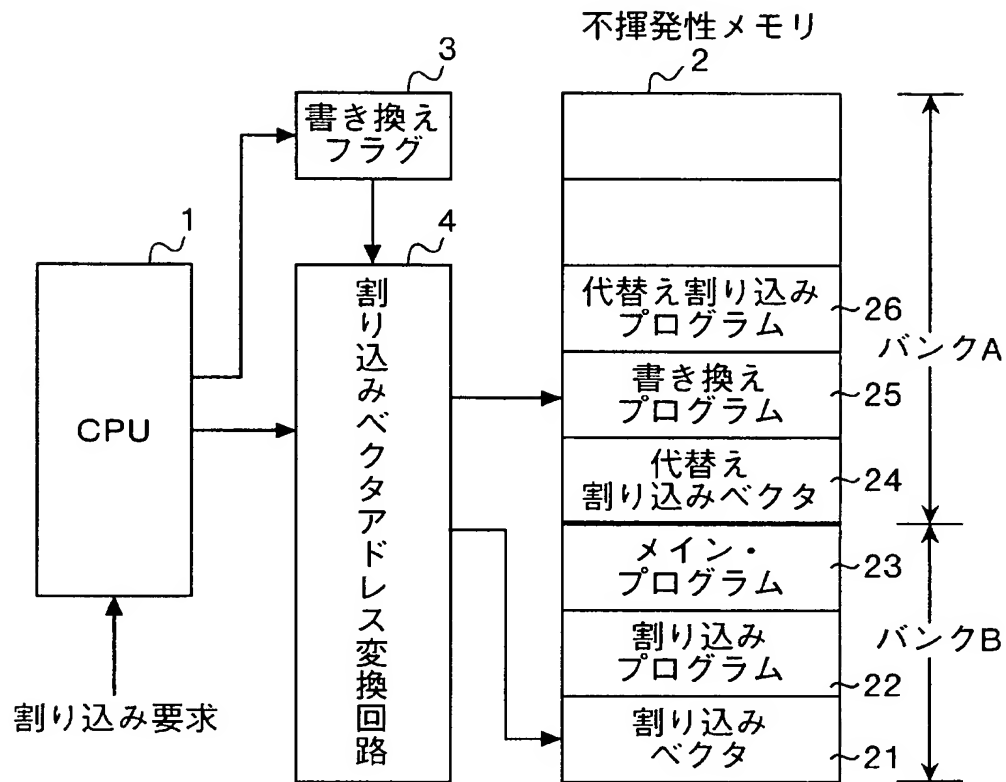
【符号の説明】

- 1 中央処理装置
- 2 不揮発性メモリ
- 3 書き換えフラグ
- 4 割り込みベクタアドレス変換回路
- 21 割り込みベクタ
- 22 割り込みプログラム
- 24 代替え割り込みベクタ
- 26 代替え割り込みプログラム
- 41, 42, 43, 44, 45 アドレス設定レジスタ
- 46 オフセット・レジスタ

【書類名】 図面

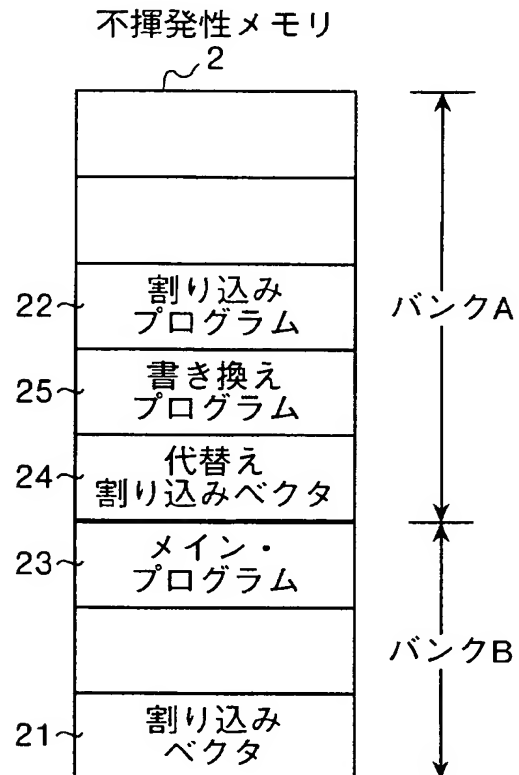
【図 1】

本発明にかかるマイクロコンピュータの要部の一例を示すブロック図



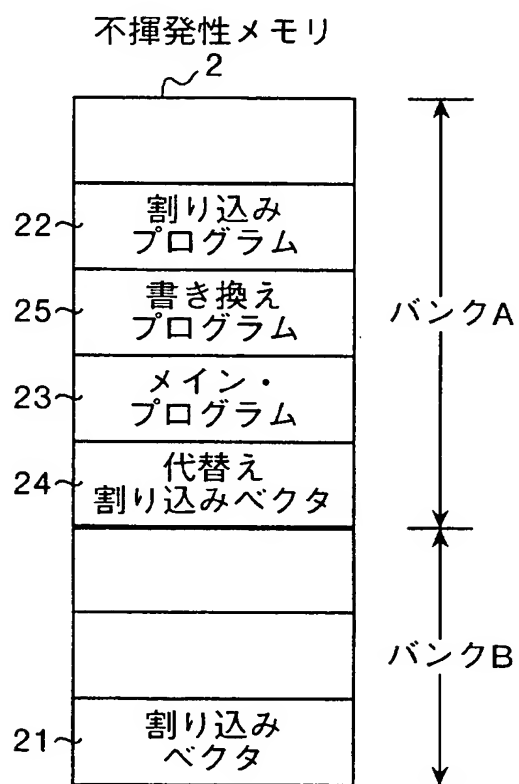
【図 2】

本発明にかかるマイクロコンピュータにおける
不揮発性メモリ内のプログラム構成の他の例を示すメモリ構成図



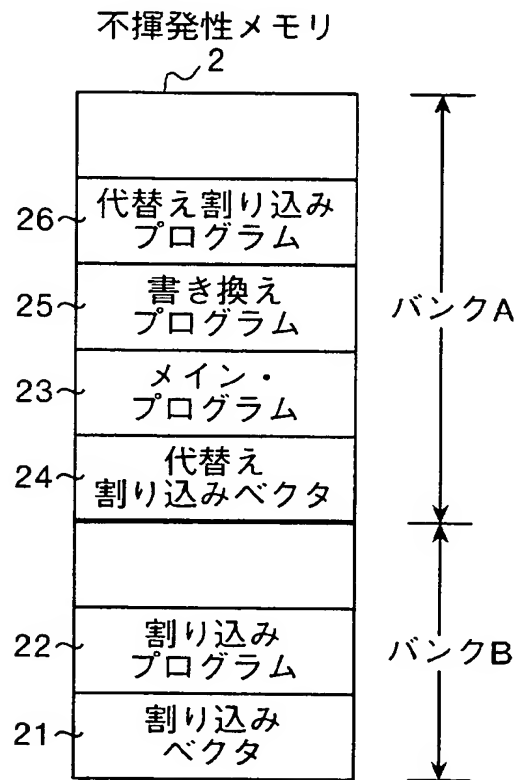
【図 3】

本発明にかかるマイクロコンピュータにおける
不揮発性メモリ内のプログラム構成の他の例を示すメモリ構成図



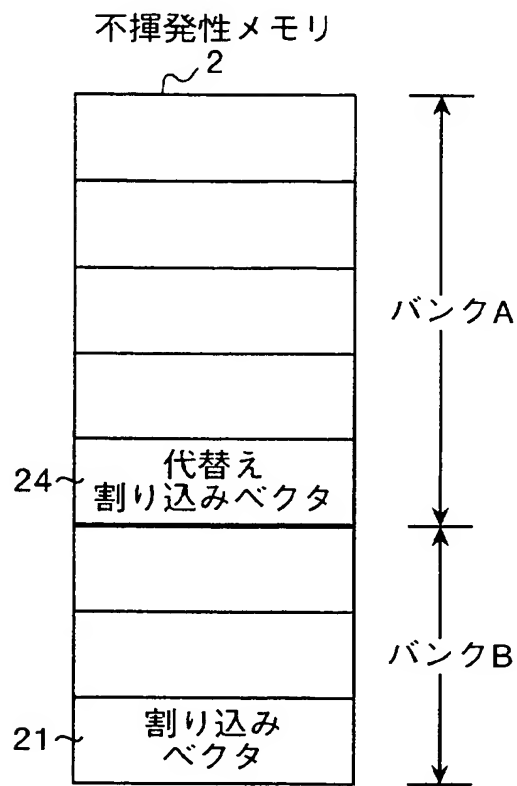
【図 4】

本発明にかかるマイクロコンピュータにおける
不揮発性メモリ内のプログラム構成の他の例を示すメモリ構成図



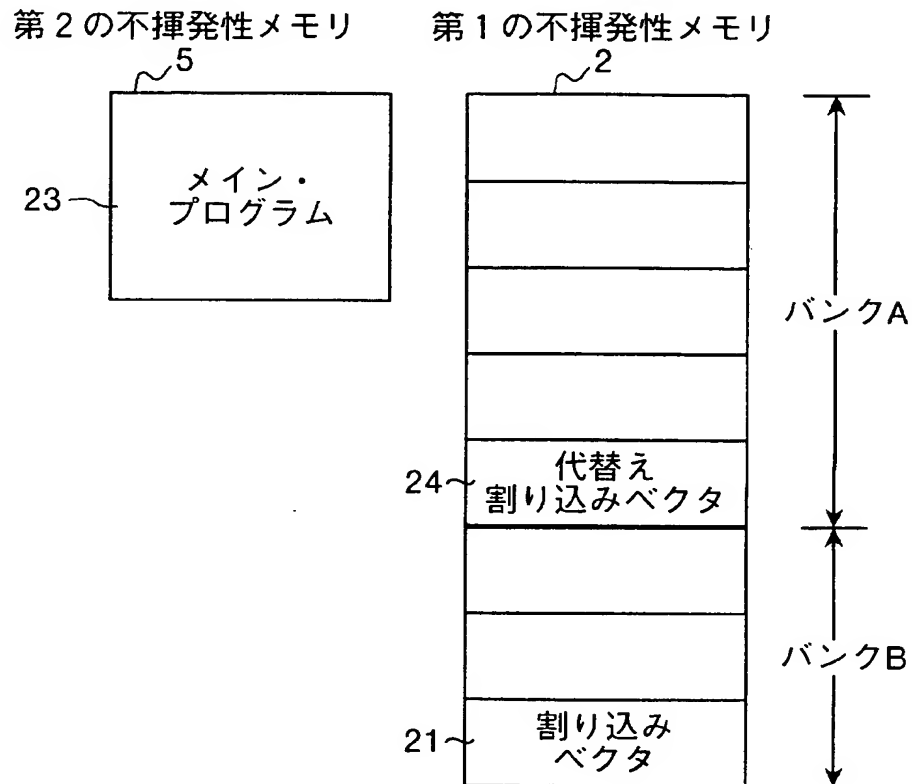
【図 5】

本発明にかかるマイクロコンピュータにおける
不揮発性メモリ内でのプログラム構成の他の例を示すメモリ構成図



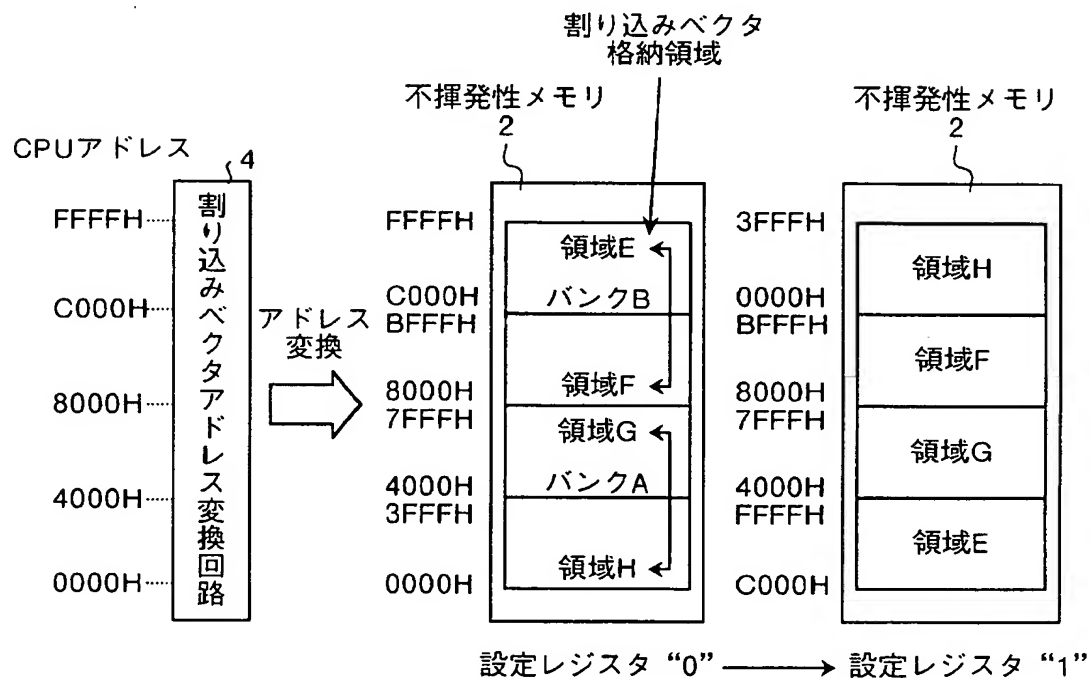
【図 6】

本発明にかかるマイクロコンピュータにおける
不揮発性メモリ内のプログラム構成の他の例を示すメモリ構成図



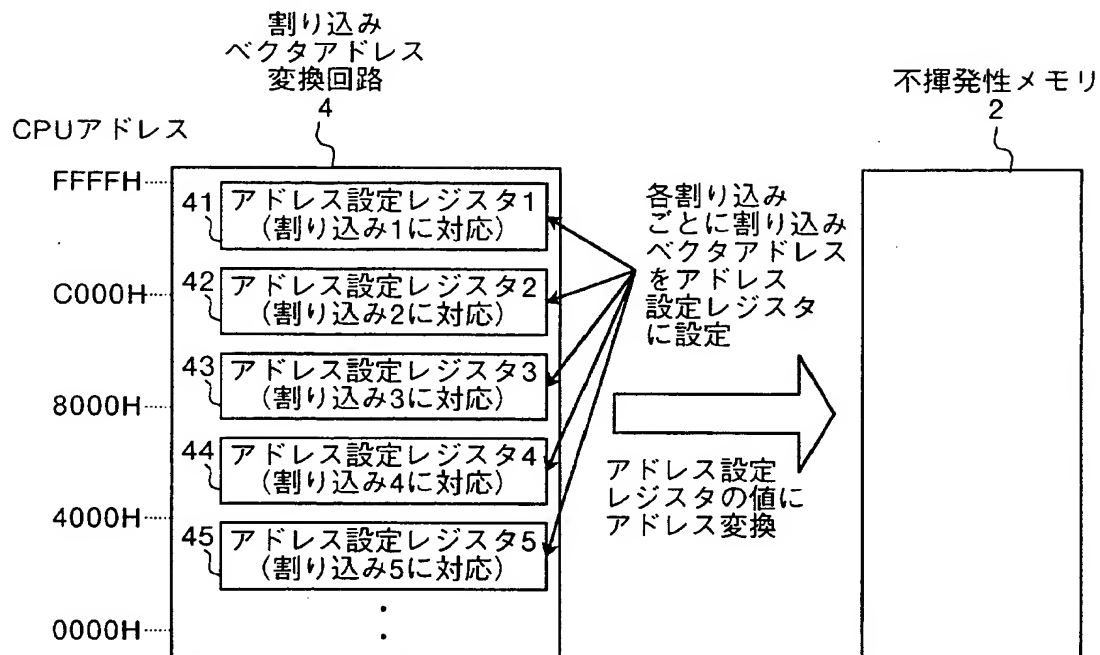
【図 7】

本発明にかかるマイクロコンピュータの
割り込みベクタアドレス変換回路の一例について説明する図



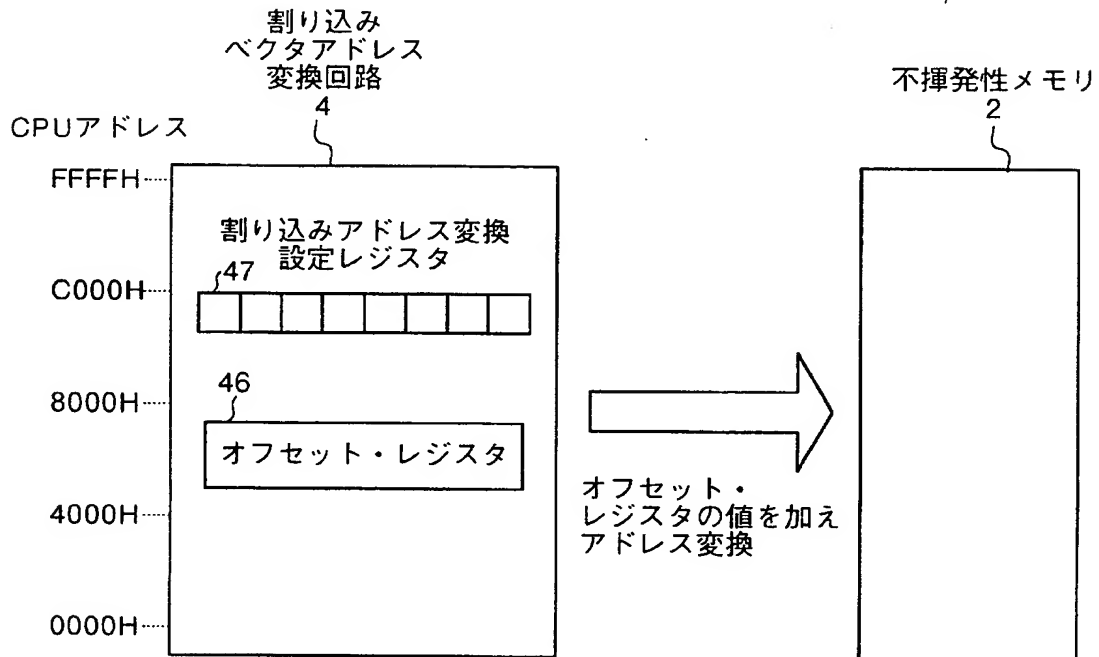
【図 8】

本発明にかかるマイクロコンピュータの
割り込みベクタアドレス変換回路の他の例について説明する図



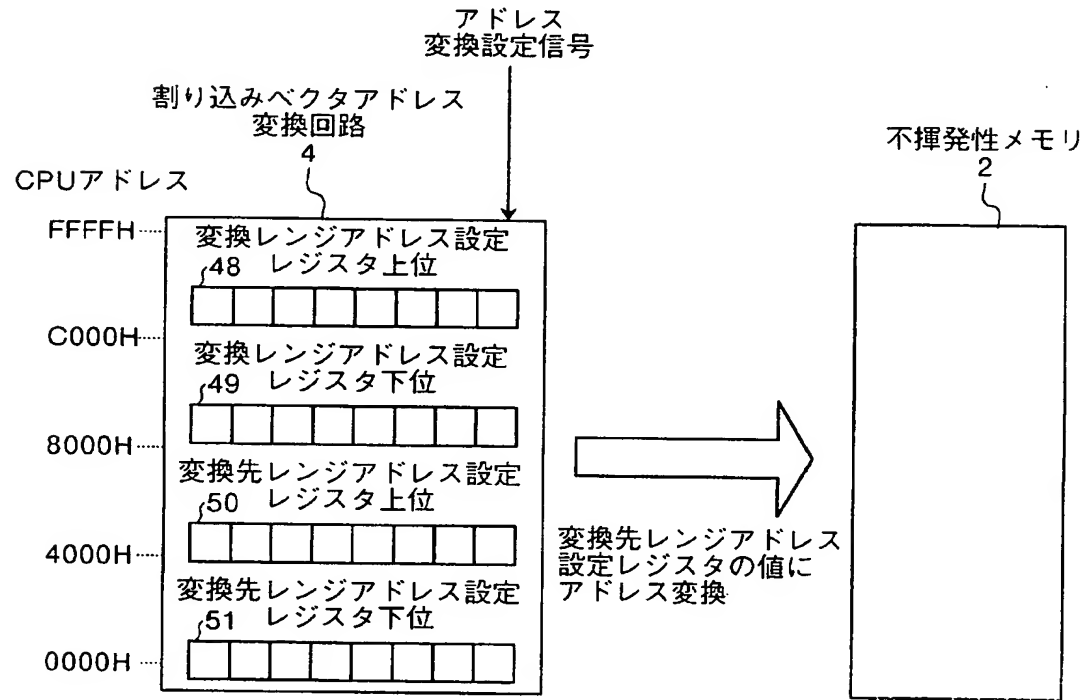
【図 9】

本発明にかかるマイクロコンピュータの
割り込みベクタアドレス変換回路の他の例について説明する図



【図 10】

本発明にかかるマイクロコンピュータの
割り込みベクタアドレス変換回路の他の例について説明する図



【書類名】 要約書

【要約】

【課題】 独立して電氣的に消去および書き込みをおこなうことができる複数の記憶領域を有する不揮発性メモリを内蔵したマイクロコンピュータにおいて、そのメモリの割り込みベクタを格納した記憶領域を書き換えている最中に、割り込み処理をおこなうこと。

【解決手段】 デュアル・オペレーション・フラッシュメモリ 2 のバンク B に割り込みベクタ 2 1 を格納するとともに、バンク A に、割り込みベクタ 2 1 に対応する代替え割り込みベクタ 2 4 を格納する。バンク B の書き換え処理中に、C P U 1 から割り込みベクタ 2 1 にアクセスがあると、割り込みベクタアドレス変換回路 4 が、代替え割り込みベクタ 2 4 のアドレスに変換してメモリ 2 へアクセスすることにより、割り込みベクタ・データを取得し、割り込み処理を開始する。

【選択図】 図 1

特願 2 0 0 2 - 3 7 8 6 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社